PK03003_PGC2KL_UWG49

（版本号：Version1.5）

（2019.08.21）

深圳市紫光同创电子有限公司

文档版本修订记录

版本号	发布日期	修订记录
V1.0	2018/08/01	初次发行
V1.1	2018/09/20	修订表二产品管脚定义说明
V1.2	2019/03/01	更新文件编号和页脚格式
V1.3	2019/04/11	修订表 3，删除 IO 信号的后缀_S 或_P
V1.4	2019/07/09	修订表 2，更新管脚说明，删除测试管脚，PGC2400L 变更为 PGC2KL
V1.5	2019/08/21	修订表 2，更新用户 IO 的状态描述，更新 MIPI_CTRL 的说明

名词术语解释

POD ： Package Outline Drawing

WLCSP：Wafer Level Chip Scale Packaging

目　　录

图目录

表目录

一、 封装介绍

PGC2KL_UWG49 产品采用 WLCSP 晶圆级芯片封装形式。其封装尺寸为3.153x3.038mm，植球数量为49，植球间距为0.4mm，最大封装厚度为0.6mm。

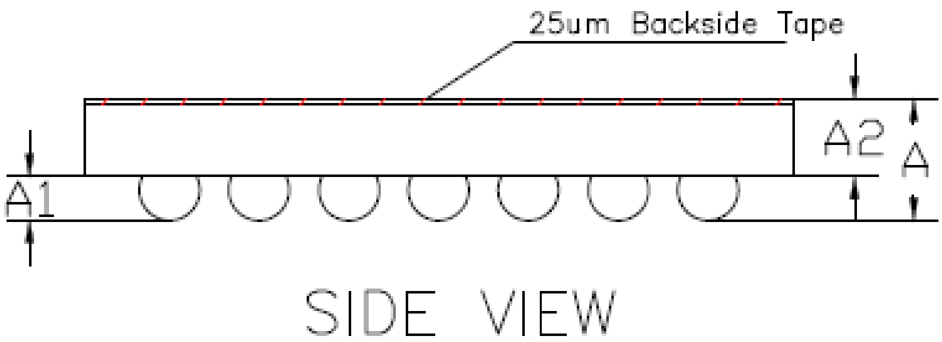
二、 封装尺寸和管脚

（一） 封装外形尺寸

表 1 外形尺寸数值表

单位为毫米

尺寸符号	数值			尺寸符号	数值		
	最 小	典型值	最 大		最 小	典型值	最 大
D	3.008	3.038	3.068	A	0.48	0.54	0.6
D1	n/a	2.4	n/a	A1	0.165	0.195	0.225
E	3.123	3.153	3.183	A2	0.315	0.345	0.375
E1	n/a	2.4	n/a	c	n/a	n/a	n/a
b	0.238	0.268	0.298	e	n/a	0.4	n/a



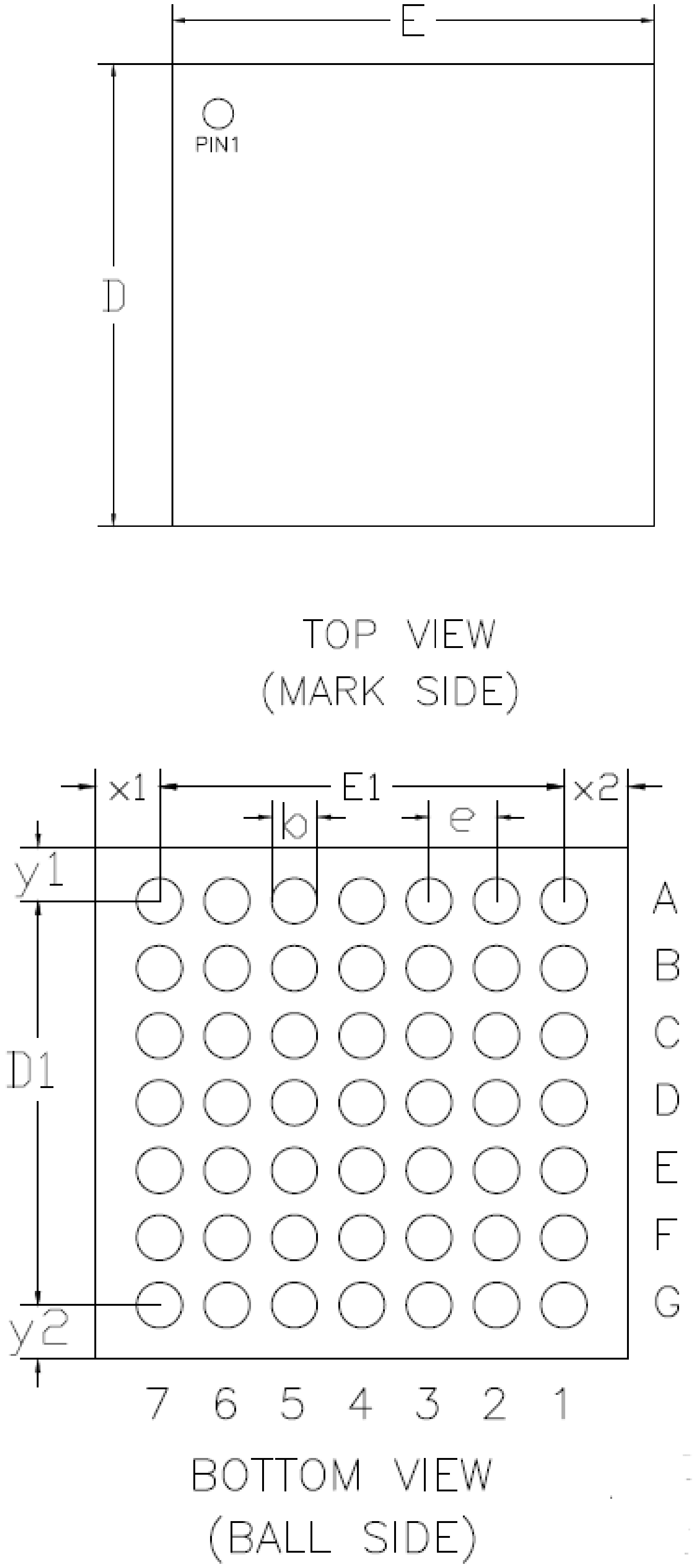

E
PIN1
D
TOP VIEW
(MARK SIDE)
x1
E1
x2
b
e
y1
D1
y2
A
B
C
D
E
F
G
7 6 5 4 3 2 1
BOTTOM VIEW
(BALL SIDE)

图 1 外形尺寸图(POD)

（二） 管脚说明

PGC2KL_UWG49 产品的 user IO 数为 39。

表 2 产品管脚定义

管脚名称	管脚类型	方向	管脚说明
用户 I/O 管脚			
DIFF[I,IO]_XX_NN[P,N]	专用管脚	输入/输出	普通用户 I/O。 （1）DIFFI，表示支持差分信号输入和伪差分输出；DIFFIO，表示支持差分信号输入和真差分输出，能够用于 LVDS 类型的信号发送和接收； （2）“XX”，表示 Bank 序号，可取 B0，B1，B2，B3，B4，B5； （3）“NN”，表示 Bank 内可编程 I/O 组的序号，从 0 开始递增； （4）[P,N]:“P”表示差分对的正端，“N”表示差分对的负端； 上电复位期间，普通用户 I/O 为低电平； 完成上电复位但未配置时，普通用户 I/O 状态为下拉； 配置期间，普通用户 I/O 状态为下拉；
配置[1]			
INIT_FLAG_N	复用管脚	双向（开漏）	配置状态复用管脚，当做配置管脚时： 上电复位期间，为低电平； 完成上电复位但未配置时，为开漏，弱上拉； 在配置过程中，为开漏，弱上拉； 在初始化过程中，该管脚可以由外部输入低电平，用于指示错误或者延迟配置。在配置过程中，该管脚作为配置错误的指示状态输出，为低表示配置过程中出现错误；
CFG_DONE	复用管脚	双向（开漏）	配置状态复用管脚，内置弱上拉电阻，当做配置管脚时，作为配置完成指示状态输出，为高表示配置完成； 在配置之前或者配置过程中该管脚被驱动为低电平；在配置完成后，该管脚可以由外部继续驱动为低电平，一旦内部启动时序发现 CFG_DONE 为低电平，那么内部的启动电路继续保持直到 CFG_DONE 变为高电平才会继续执行启动过程；
RSTN	复用管脚	输入	复用的复位管脚，内置弱上拉电阻，当做复位管脚时，用于重新启动配置流程，低有效； 建议用户在使用过程中在芯片外部用电阻上拉 RSTN（内部弱上拉电阻的阻值一般为

管脚名称	管脚类型	方向	管脚说明
			20kOhms 以上，上拉强度较弱）；当该管脚为低电平，FPGA 进入复位状态，所有的 I/O 处于弱下拉；
CFG_CLK	复用管脚	输入/输出	配置复用时钟管脚，内置弱上拉电阻，当做配置管脚时： 在从 SPI 配置模式，该管脚作为时钟输入以从外部获取配置数据； 在主 SPI 配置模式，该管脚作为时钟输出以从外部获取配置数据，在此模式，需外接 1kOhms 上拉电阻； 主 SPI 模式和从 SPI 模式允许同时可用，但是不允许同时用这两种模式访问；
TCK	复用管脚	输入	复用 JTAG 测试时钟时钟输入管脚；需外接 4.7kOhms 的下拉电阻；
TMS	复用管脚	输入	复用 JTAG 测试模式选择输入管脚；内置弱上拉电阻，上拉到 VCCIO0；
TDI	复用管脚	输入	复用 JTAG 测试数据输入管脚；内置弱上拉电阻，上拉到 VCCIO0；
TDO	复用管脚	输出	复用 JTAG 测试数据输出管脚。内置弱上拉电阻，上拉到 VCCIO0；
JTAGEN	复用管脚	输入	可选的 JTAG 端口行为控制管脚，该功能只在用户模式下可用，即在配置模式下，该端口为用户 I/O，默认状态为弱下拉； 在用户模式下， 当 JTAG 管脚配置为配置 I/O 时，该端口为用户 I/O，状态由用户控制； 当 JTAG 管脚作为用户 I/O 时，JTAGEN 变成了专用输入，用来控制 JTAG 管脚是否可用；默认状态为弱下拉； 在 JTAGEN 为专用 I/O 的情况下： （1）当为低电平，JTAG 管脚作为普通用户 I/O 功能； （2）当为高电平，JTAG 管脚作为 JTAG 配置管脚的功能；
FCS_N	复用管脚	输出	复用配置管脚，外部主 SPI 配置模式使用， （1）主 SPI 模式下，低有效输出片选信号给外部 Flash； （2）配置完成后，可以作为用户 I/O 使用；
MISO_SO	复用管脚	输入/输出	复用 SPI 配置管脚； （1）MISO，主 SPI 模式串行数据输入； （2）SO，从 SPI 模式串行数据输出； 主 SPI 模式和从 SPI 模式允许同时可用，

管脚名称	管脚类型	方向	管脚说明
			但是不允许同时用这两种模式访问；
MOSI_SI	复用管脚	输入/输出	复用 SPI 配置管脚； （1）MOSI，主 SPI 模式串行数据输出 （2）SI，从 SPI 模式串行数据输入； 主 SPI 模式和从 SPI 模式允许同时可用，但是不允许同时用这两种模式访问；
FCSI_N	复用管脚	输入	复用 SPI 配置管脚，内置弱上拉电阻； 从 SPI 模式，低有效片选输入；
SCL	复用管脚	输入（开漏）	从 I2C 模式时钟输入；需要外接弱上拉电阻；
SDA	复用管脚	输入/输出（开漏）	I2C 模式数据输入/输出；需要外接弱上拉电阻；
SPAL_CLK	复用管脚	输入	从并 X16 配置方式的时钟输入；
SPAL_CS_N	复用管脚	输入	从并 X16 配置方式的使能输入；
SPAL_RDWR_N	复用管脚	输入	从并 X16 配置方式的读写控制输入； 1：读；0：写；
SPAL_BUSY	复用管脚	输出	从并 X16 配置方式的忙碌指示位； 回读期间，如果数据没准备好，则 SPAL_BUSY 变高；
SPAL_D15~SPAL_D0	复用管脚	输入/输出	从并 X16 配置方式的数据总线；
时钟，PLL			
CLK[0,1,2][P,N]_[B0,B1,…,B5]	复用管脚	输入	专用全局时钟输入管脚；还可以作为普通用户 I/O 使用。每个 Bank 提供 0~3 个管脚； （1）[0，1，2]：时钟管脚序号； （2）[P,N]：时钟管脚互补差分的正端和负端； （3）[B0,B1,…,B5]：Bank 序号；
PLL[0,1]_CLKIN_[P,N]	复用管脚	输入	可选的 PLL 输入，PLL 可以选择从这些管脚直接输入时钟；其还可以作为普通用户 I/O 使用； （1）[0,1]：对应 PLL0 和 PLL1； （2）[P,N]：时钟管脚互补差分的正端和负端；
PLL[0,1]_CLKFB_[P,N]	复用管脚	输入	可选的 PLL 反馈时钟输入，PLL 可以选择从这些管脚来外部反馈时钟；其还可以作为普通用户 I/O 使用； （1）[0,1]：对应 PLL0 和 PLL1； （2）[P,N]：时钟管脚互补差分的正和负端；
电源			
VCC		电源	外部供电电源，支持 1.2V，给内核逻辑提供电源；

管脚名称	管脚类型	方向	管脚说明
VCCIO[0,1,2,3,4,5]		电源	I/O Bank 电源；
VSS		地	与 VCC 相关的地；
MIPI_CTRL			MIPI 高性能应用控制管脚，当它连接 2.5V 或 3.3V 时，器件支持高性能的 MIPI 发送功能；当它连接 VSS 或悬空时，器件不支持高性能的 MIPI 发送功能

注: 1. 配置的复用管脚当做用户 I/O 时，状态与用户 I/O 管脚相同

1. Pinout Diagram

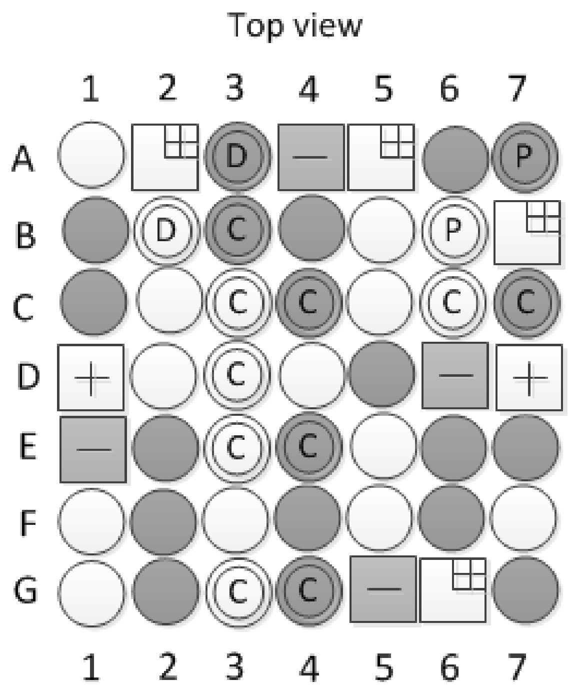


图 2 Pinout Diagram

备注：Pinout 符号代表说明如下：

		COMP(N)	TRUE(P)
普通IO	DIFFIO*		
复用IO	DIFFIO*/D0~D31	D	D
	DIFFIO*/CLK*	C	C
	DIFFIO*/PLL*	P	P
电源、地	VSS		
	VCC		
	VCCIO		

2. IO Banks

Top view

	1	2	3	4	5	6	7
A	B0		B0			B0	B5
B	B0	B0	B0	B0	B0	B5	
C	B0	B0	B0	B0	B0	B5	B5
D		B0	B0	B0	B0		
E		B0	B2	B2	B5	B5	B2
F	B0	B0	B2	B2	B2	B2	B2
G	B2	B2	B2	B2			B2

图 3 IO Banks

3. Power and GND Placement

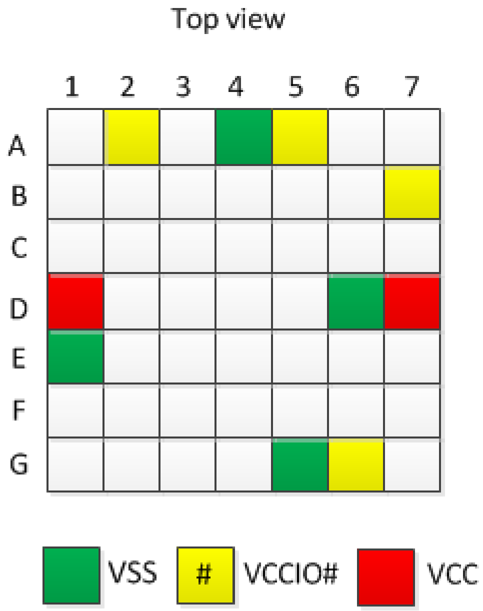


图 4 Power and GND Placement

4. Ball name list

表 3 Ball name list

Bank Name	Ball Name(Function name)	Ball Number	差分对
B0	DIFFI_B0_0N/CFG_DONE	A1	IO_1_N
B0	DIFFI_B0_0P/INIT_FLAG_N	B1	IO_1_P
B0	DIFFIO_B0_1N/SPAL_CLK	D2	IO_2_N
B0	DIFFIO_B0_1P/SPAL_CS_N	C1	IO_2_P
B0	DIFFIO_B0_3N/SPAL_RDWR_N	C2	IO_4_N
B0	DIFFIO_B0_3P/SPAL_BUSY	E2	IO_4_P
B0	DIFFI_B0_8N/RSTN	F1	IO_9_N
B0	DIFFI_B0_8P/JTAGEN	F2	IO_9_P
B0	DIFFIO_B0_9N/SPAL_D7	B2	IO_10_N
B0	DIFFIO_B0_9P/SPAL_D6	A3	IO_10_P
B0	DIFFI_B0_12N/SDA/CLK0N_B0	C3	IO_13_N
B0	DIFFI_B0_12P/SCL/CLK0P_B0	B3	IO_13_P
B0	DIFFIO_B0_15N/CLK1N_B0	D3	IO_16_N
B0	DIFFIO_B0_15P/CLK1P_B0	C4	IO_16_P
B0	DIFFI_B0_16N/TMS	B5	IO_17_N
B0	DIFFI_B0_16P/TCK	B4	IO_17_P
B0	DIFFI_B0_20N/TDI	C5	IO_21_N
B0	DIFFI_B0_20P/TDO	A6	IO_21_P
B0	DIFFIO_B0_25N	D4	IO_26_N
B0	DIFFIO_B0_25P	D5	IO_26_P
B2	DIFFI_B2_1N/MOSI_SI	G1	IO_56_N
B2	DIFFI_B2_1P/FCSI_N	G2	IO_56_P
B2	DIFFI_B2_13N/CLK1N_B2	G3	IO_68_N
B2	DIFFI_B2_13P/CLK1P_B2	G4	IO_68_P
B2	DIFFI_B2_15N	F3	IO_70_N
B2	DIFFI_B2_15P	F4	IO_70_P
B2	DIFFI_B2_17N/CLK0N_B2	E3	IO_72_N
B2	DIFFI_B2_17P/CLK0P_B2	E4	IO_72_P
B2	DIFFI_B2_21N/MISO_SO	F5	IO_76_N

B2	DIFFI_B2_21P/CFG_CLK	F6	IO_76_P
B2	DIFFI_B2_25P/FCS_N	G7	IO_80_P
B2	DIFFI_B2_27N	F7	IO_82_N
B2	DIFFI_B2_27P	E7	IO_82_P
B5	DIFFI_B5_2P/PLL0_CLKIN_P	A7	IO_101_P
B5	DIFFI_B5_2N/PLL0_CLKIN_N	B6	IO_101_N
B5	DIFFI_B5_4P/CLK0P_B5	C7	IO_103_P
B5	DIFFI_B5_4N/CLK0N_B5	C6	IO_103_N
B5	DIFFI_B5_8P	E6	IO_107_P
B5	DIFFI_B5_8N	E5	IO_107_N
	VCC	D1	
	VCC	D7	
	MIPI_CTRL	A4	
	VCCIO0	A2	
	VCCIO0	A5	
	VCCIO2	G6	
	VCCIO5	B7	
	VSS	D6	
	VSS	E1	
	VSS	G5	